

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **11-121787**  
 (43)Date of publication of application : **30.04.1999**

(51)Int.CI. **H01L 31/12**  
**H01S 3/18**

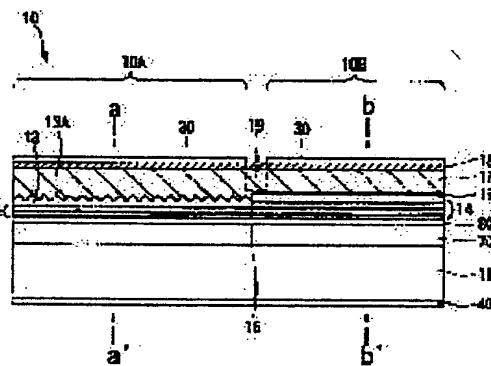
(21)Application number : **09-275763** (71)Applicant : **TOSHIBA CORP**  
 (22)Date of filing : **08.10.1997** (72)Inventor : **KINOSHITA JUNICHI**

## (54) INTEGRATED PHOTOELEMENT AND MANUFACTURE THEREOF

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To improve a laser part in output characteristics, by a method wherein the PN junction of a first photoelement formed of semiconductor which is higher than a certain value in carrier concentration, and the PN junction of a second photoelement formed of semiconductor whose carrier concentration is smaller than a certain value, are formed.

**SOLUTION:** An N-type InP layer 70 smaller than  $5 \times 10^{16} \text{ cm}^{-3}$  in carrier concentration is formed on an N-type InP substrate 11, and an N-type InP layer 80 larger than  $5 \times 10^{17} \text{ cm}^{-3}$  in carrier concentration is formed thereon. In a laser part 10A, an active layer 12, a guide layer 13, a P-type clad layer 17, and a P-type contact layer 18 are successively laminated on the N-type, InP layer 80. On the other hand, in a modulation part 10B, the active layer 12 and the guide layer 13 are removed, and an absorption layer 14 and an I-type InP layer 15 are successively formed in place of them. By this setup, an InP junction optimal for both the laser part 10A and the modulation part 10B can be provided without adding a crystal growth process.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-121787

(43)公開日 平成11年(1999)4月30日

(51)Int.Cl.  
H 01 L 31/12  
H 01 S 3/18

識別記号

F I  
H 01 L 31/12  
H 01 S 3/18

B

審査請求 未請求 請求項の数10 O.L (全 10 頁)

(21)出願番号 特願平9-275763

(22)出願日 平成9年(1997)10月8日

(71)出願人 000003078

株式会社東芝  
神奈川県川崎市幸区堀川町72番地

(72)発明者 木下順一  
神奈川県川崎市幸区堀川町72番地 株式会  
社東芝川崎事業所内

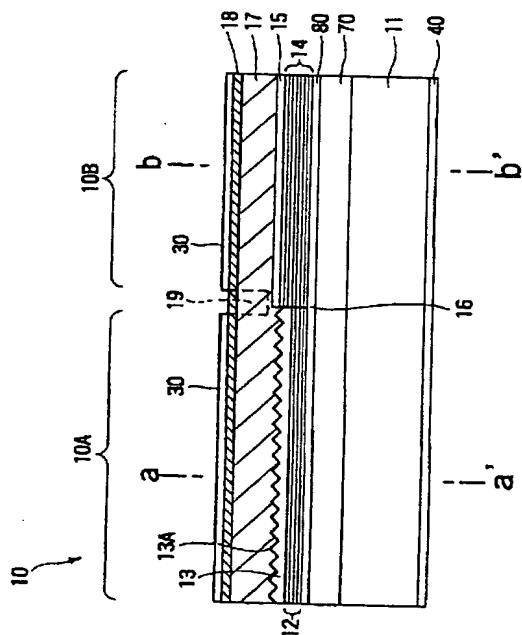
(74)代理人 弁理士 佐藤一雄 (外3名)

(54)【発明の名称】集積型光素子およびその製造方法

(57)【要約】

【課題】 p-n接合をもつ埋込層が、第1の光素子においては、高いキャリア濃度を有し、第2の光素子においては、低いキャリア濃度を有するようになると共に、この埋込層を共通の結晶成長工程により形成することができる集積型光素子およびその製造方法を提供することを目的とする。

【解決手段】 集積型光素子の埋め込み層と接合する部分に、予めキャリア濃度の高い層と低い層とを共通に形成しておく。そして、埋め込み層の形成工程に先だって、変調部において不要な層を除去する。このようにすることにより、簡易な工程で、レーザ部と変調部の構造をそれぞれ最適化することができる。



1

## 【特許請求の範囲】

【請求項1】同一の基板上に形成された第1の光素子と第2の光素子とを少なくとも備えた集積型光素子であって、

前記第1の光素子と前記第2の光素子のそれぞれは、導波路と、前記導波路を埋め込むように形成されている埋め込み半導体領域と、前記導波路の周囲の前記埋め込み半導体領域の中に形成されたpn接合と、を有し、

前記第1の光素子の前記pn接合を構成している半導体のいずれかは、 $5 \times 10^{17} \text{ cm}^{-3}$ 以上のキャリア濃度を有し、

前記第2の光素子の前記pn接合を構成している半導体のいずれかは、 $5 \times 10^{16} \text{ cm}^{-3}$ 以下のキャリア濃度を有することを特徴とする集積型光素子。

【請求項2】同一の第1導電型の基板上に形成された第1の光素子と第2の光素子とを少なくとも備えた集積型光素子であって、

前記第1の光素子は少なくとも、

前記基板上に形成された第1導電型の第1の半導体層と、

前記第1の半導体層の上に形成された第1導電型の第2の半導体層と、

前記第2の半導体層の上にストライブ状に形成された第1の導波路と、

前記導波路を埋め込むように形成され、前記導波路の周囲において、前記第2の半導体層と接触してpn接合を形成している第2導電型の第3の半導体層と、を有し、

前記第2の光素子は少なくとも、

前記基板上に形成された第1導電型の第1の半導体層と、

前記第1の半導体層の上にストライブ状に形成され、前記第1の導波路と連結されている第2の導波路と、

前記導波路を埋め込むように形成され、前記導波路の周囲において、前記第1の半導体層と接触してpn接合を形成している第2導電型の第3の半導体層と、を有し、

前記第1の半導体層のキャリア濃度は、 $5 \times 10^{17} \text{ cm}^{-3}$ 以上であり、

前記第2の半導体層のキャリア濃度は、 $5 \times 10^{16} \text{ cm}^{-3}$ 以下であるものとして構成していることを特徴とする集積型光素子。

【請求項3】前記第2の光素子は、前記第1の半導体層と前記第2の導波路との間にストライブ状に設けられた、前記第2の半導体層をさらに有することを特徴とする請求項2記載の集積型光素子。

【請求項4】前記第1の光素子は、半導体レーザ素子であり、

前記第2の光素子は、光変調器であり、

前記第1の半導体層の層厚は、前記第2の半導体層の層

2

厚よりも厚いものとして構成されていることを特徴とする請求項2または3に記載の集積型光素子。

【請求項5】前記第1の光素子は、半導体レーザ素子であり、

前記第2の光素子は、フォトダイオードであり、前記第1の半導体層の層厚は、前記第2の半導体層の層厚よりも厚いものとして構成されていることを特徴とする請求項2または3に記載の集積型光素子。

【請求項6】同一の半導体基板上に形成された第1の光素子と第2の光素子とを少なくとも備えた集積型光素子の製造方法であって、

第1導電型の前記半導体基板上に、第1導電型の第1の半導体層を形成する工程と、

前記第1の半導体層の上に、前記第1の半導体層よりもキャリア濃度が高い第1導電型の第2の半導体層を形成する工程と、

前記第2の光素子となる部分において、前記第2の半導体層のうちの少なくとも一部をエッチング除去して前記第1の半導体層を露出させる工程と、

20 前記第2の半導体層と前記露出された前記第1の半導体層の上に第2導電型の第3の半導体層を形成する工程と、

を備えたことを特徴とする集積型光素子の製造方法。

【請求項7】同一の半導体基板上に形成された第1の光素子と第2の光素子とを少なくとも備えた集積型光素子の製造方法であって、

第1導電型の前記半導体基板上に、第1導電型の第1の半導体層を形成する工程と、

前記第1の半導体層の上に、前記第1の半導体層よりもキャリア濃度が高い第1導電型の第2の半導体層を形成する工程と、

前記第2の半導体層の上に、前記第1の光素子のためのストライブ状の第1の導波路を形成する工程と、

前記第2の光素子となる部分において、前記第2の半導体層の上に第2の導波路となる半導体層を堆積する工程と、

前記第2の導波路となる半導体層と前記第2の半導体層とを共に部分的にエッチング除去することにより、前記第2の導波路を形成するとともに、その周囲に前記第1の半導体層を露出させる工程と、

前記第1の導波路と前記第2の導波路とをそれぞれ埋め込むように、第2導電型の第3の半導体層を形成する工程と、

を備えた集積型光素子の製造方法。

【請求項8】同一の半導体基板上に形成された第1の光素子と第2の光素子とを少なくとも備えた集積型光素子の製造方法であって、

第1導電型の前記半導体基板上に、第1導電型の第1の半導体層を形成する工程と、

50 前記第1の半導体層の上に、前記第1の半導体層よりも

キャリア濃度が高い第1導電型の第2の半導体層を形成する工程と、

前記第2の半導体層の上に、前記第1の光素子のためのストライプ状の第1の導波路を形成する工程と、

前記第2の光素子となる部分において、前記第2の半導体層を除去して前記第1の半導体層を露出させる工程と、

前記露出された前記第1の半導体層の上に前記第2の光素子のためのストライプ状の第2の導波路を形成する工程と、

前記第1の導波路と前記第2の導波路とをそれぞれ埋め込むように、第2導電型の第3の半導体層を形成する工程と、

を備えた集積型光素子の製造方法。

【請求項9】前記第1の光素子は、レーザ素子であり、前記第2の光素子は、光変調器であり、

前記第1の半導体層のキャリア濃度は、 $5 \times 10^{17} \text{ cm}^{-3}$ 以上であり、

前記第2の半導体層のキャリア濃度は、 $5 \times 10^{16} \text{ cm}^{-3}$ 以下であることを特徴とする請求項6～8のいずれか1つに記載の集積型光素子の製造方法。

【請求項10】前記第1の光素子は、レーザ素子であり、

前記第2の光素子は、受光素子であり、

前記第1の半導体層のキャリア濃度は、 $5 \times 10^{17} \text{ cm}^{-3}$ 以上であり、

前記第2の半導体層のキャリア濃度は、 $5 \times 10^{16} \text{ cm}^{-3}$ 以下であることを特徴とする請求項6～8のいずれか1つに記載の集積型光素子の製造方法。

【発明の詳細な説明】

#### 【0001】

【発明の属する技術分野】本発明は、集積型光素子およびその製造方法に関する。より具体的には、本発明は、例えば、外部変調器や半導体レーザなどの複数の光素子がモノリシック(mono lithic)に集積され、超高速光通信に用いて好適な集積型光素子およびその製造方法に関する。

#### 【0002】

【従来の技術】光ファイバを用いた2.4Gbps(ギガ・ビット毎秒)や10Gbpsの伝送速度での超高速光通信システムにおいては、高速で動作させることができる発光素子、光変調器、光増幅素子、および受光素子などが必要とされている。これらの素子は、単体で用いるよりも、モノリシックに集積化することにより、電気的特性、光学的特性を改善することができ、さらに、システムの構成を簡略化して、信頼性を向上することもできる。

【0003】以下では、このような集積型光素子として変調器集積型レーザ素子を例に挙げて説明する。変調器集積型レーザ素子は、单一縦モード波長で発振する分布

帰還型レーザ(DFB-LD: Distributed Feed Back Laser Diode)と、外部変調器としての電界吸収型光変調器(EAM: Electro-Absorption type optical Modulator)とをモノリシックに集積した構成を有する。ここで、DFBレーザは直流電流により駆動され、その光出力がEAMにより高速変調される。したがって、このような変調器集積型レーザ素子においては、DFBレーザに対しては安定した高出力動作が要求され、また、EAMに対しては寄生容量を極限まで低減した超高速動作が要求される。

【0004】図7は、変調器集積型レーザの導波路方向の断面構造を表す概略図である。ここでは、光通信用として普及している波長1.55μm帯のInGaAsP/InP系材料を用いた構成例を示した。すなわち、変調器集積型レーザ素子100は、レーザ部100Aと変調部100Bとにより構成されている。

【0005】レーザ部100Aにおいては、n型InP基板101の上に、n型クラッド層101'、活性層102、およびガイド層103が順次積層されている。ここで、n型クラッド層101'はn型InP、活性層102はInGaAsPからなるMQW(Multilevel Quantum Well; 多重量子井戸)構造、ガイド層103はそれよりバンドギャップの大きいInGaAsPにより構成することができる。また、ガイド層103の上部には回折格子(グレーティング)103Aが形成されている。

【0006】一方、光変調部100Bにおいては、MQW活性層102と回折格子付きガイド層103の一部が30それぞれ除去され、その代わりに、InGaAsPからなるMQW吸収層104とi型InP層105とが順次積層されている。MQW吸収層104は、QCSE(Quantum Confinement Stark Effect)効果によってDFBレーザ部100Aからの光出力を変調できるように構成されている。

【0007】このような変調器集積型レーザ素子100において、DFBレーザ部100Aの光導波路部分すなわち同図中の102および103と、光変調部100Bの吸収導波路部分すなわち同図中の104との連結部140は、バット・ジョイント(butt joint)と呼ばれる。図7においては、この上に、p-InPクラッド層107およびp-InGaAsPオームック・コンタクト層108が積層されている。あるいは、これらの層は、導波路部分をいわゆる埋込ストライプ構造にした後に形成されることもある。両デバイスの結合部106の上には、両デバイスの電気的アイソレーションのために、高抵抗のプロトン(proton)照射領域109が設けられる。

【0008】この埋込みヘテロ構造(BH: buried heterostructure)について、横断

面図を用いてさらに詳細に説明する。図8は、変調器集積型レーザ素子100の導波路に垂直な方向の断面構造を表す概略図である。すなわち、同図は、図7に示したa-a'線で切断した断面構造を例示し、p-n接合を有するInP層で埋込まれた埋め込みヘテロ構造を例示する。

【0009】この構造の素子の作成に際しては、まず、上述したp-InPクラッド層107とコンタクト層108を成長する前に、活性層102とガイド層103と吸収層4とを1.2μm幅のメサ・ストライプ(mesa stripe)形状になるようにエッチングする。次に、このストライプの両脇2μmの外側に図示しないSi02膜を堆積して結晶成長を妨害し、ストライプとその両脇に、p-InP層107とコンタクト層108を、やはりメサ・ストライプ状に成長する。全体をSi02絶縁膜120で覆った後、選択成長されたメサ・ストライプの上面にSi02絶縁膜120の開口部125を設け、p側電極130を形成する。また、裏面にはn側電極140を形成する。

## 【0010】

【発明が解決しようとする課題】ここで、図8に示した構造では、活性層102の両脇において、n型InP基板101とp型InPクラッド層107とのホモ接合1.50が形成される。このホモ接合は、集積型素子100のレーザ部100Aについてみると、レーザ発振動作時には順接合として機能する。一方、InP層107と活性層102との間にはヘテロ接合が形成される。これらのホモ接合とヘテロ接合とは飽和電流密度が異なるために、注入電流を活性層に狭窄することができる。なお、他のBH構造では、この上に図示しない逆接合を形成して更に電流を狭窄する工夫がなされることも多い。

【0011】しかし、効果的に電流を狭窄するためには、このホモ接合におけるInP層101'および107のキャリア濃度は、 $5 \times 10^{17} \text{ cm}^{-3}$ 以上であることが望ましく、p型不純物であるZnが活性層102に拡散しやすくなる直前の $1 \times 10^{18} \text{ cm}^{-3}$ 程度とすることがさらに望ましい。その理由は、キャリア濃度が低くなると、InPホモ接合1.50の飽和電流密度が下がり、ヘテロ接合における飽和電流密度との差が小さくなつて、活性層に電流を集中できなくなり、電流リーケが生じてレーザの出力が低下するからである。

【0012】一方、集積型素子100の変調部100Bについてみると、InPのホモ接合には、逆バイアスが印加される。しかし、InP層101'およびInP層107のキャリア濃度がいずれも $5 \times 10^{17} \text{ cm}^{-3}$ 以上であると、pn接合の寄生容量が大きくなり、2.4Gb/sや10Gb/sにおける高速動作が困難になる。高速動作を実現するためには、埋込領域の接合を形成するInP層101'あるいはInP層107のキャリア濃度は $5 \times 10^{16} \text{ cm}^{-3}$ 以下であることが望ましく、で

きれば $1 \times 10^{16} \text{ cm}^{-3}$ 以下であることがさらに望ましい。

【0013】このように、集積型光素子のレーザ部100Aと変調部100Bとの間では、InP層101'あるいはInP層107の最適なキャリア濃度が異なる。従って、従来は、これらのInP層を共通にすると、レーザ部100Aと変調部100Bの性能を両立することができないという問題があった。

【0014】また、それぞれの部分について、InP層101'あるいはInP層107を別々に成長しようとすると、製造プロセスや結晶成長工程は極めて複雑となり、集積型光素子100の製作が困難になるという問題があった。

【0015】一方、図9は、第2の従来例として、半絶縁性InP層を用いた埋め込み型構造を例示する概略横断面図である。すなわち、同図は図7のa-a'線で切断した断面構造を例示し、活性層102の両脇は、p型InPの代わりに、鉄(Fe)がドープされて半絶縁性(semi-insulating)とされたInP層160により埋め込まれている。しかし、InPにおいては十分に高い絶縁性が実現されていない。また、p-InP層107に含有されるZnとInP層160に含有されるFeとが相互拡散を生じるために、界面において絶縁性が劣化しやすい。従って、図9に示した構造においても、注入電流を活性層102に狭窄することが容易でないという問題があった。

【0016】本発明はかかる点に鑑みてなされたものである。すなわち、その目的は、pn接合をもつ埋込層が、レーザ部において高出力特性を保証し、変調部において低容量の高速動作を支持できると共に、この埋込層を共通の結晶成長工程により形成することができる変調器集積型レーザ素子およびその製造方法を提供することにある。

## 【0017】

【課題を解決するための手段】すなわち、本発明による集積型光素子は、同一の基板上に形成された第1の光素子と第2の光素子とを少なくとも備えた集積型光素子であって、前記第1の光素子と前記第2の光素子のそれぞれは、導波路と、前記導波路を埋め込むように形成されている埋め込み半導体領域と、前記導波路の周囲の前記埋め込み半導体領域の中に形成されたpn接合と、を有し、前記第1の光素子の前記pn接合を構成している半導体のいずれかは、 $5 \times 10^{17} \text{ cm}^{-3}$ 以上のキャリア濃度を有し、前記第2の光素子の前記pn接合を構成している半導体のいずれかは、 $5 \times 10^{16} \text{ cm}^{-3}$ 以下のキャリア濃度を有するものとして構成され、それぞれの光素子について最適な濃度のpn接合を形成することができる。

【0018】また、本発明による集積型光素子は、同一の第1導電型の基板上に形成された第1の光素子と第2

の光素子とを少なくとも備えた集積型光素子であって、前記第1の光素子は少なくとも、前記基板上に形成された第1導電型の第1の半導体層と、前記第1の半導体層の上に形成された第1導電型の第2の半導体層と、前記第2の半導体層の上にストライプ状に形成された第1の導波路と、前記導波路を埋め込むように形成され、前記導波路の周囲において、前記第2の半導体層と接触してpn接合を形成している第2導電型の第3の半導体層と、を有し、前記第2の光素子は少なくとも、前記基板上に形成された第1導電型の第1の半導体層と、前記第1の半導体層の上にストライプ状に形成され、前記第1の導波路と連結されている第2の導波路と、前記導波路を埋め込むように形成され、前記導波路の周囲において、前記第1の半導体層と接触してpn接合を形成している第2導電型の第3の半導体層と、を有し、前記第1の半導体層のキャリア濃度は、 $5 \times 10^{17} \text{ cm}^{-3}$ 以上であり、前記第2の半導体層のキャリア濃度は、 $5 \times 10^{15} \text{ cm}^{-3}$ 以下であるものとして構成され、それぞれの光素子について最適な濃度のpn接合を形成することができる。

【0019】ここで、前記第2の光素子は、前記第1の半導体層と前記第2の導波路との間にストライプ状に設けられた、前記第2の半導体層をさらに有するものとして構成しても良い。

【0020】また、本発明による集積型光素子としては、半導体レーザ素子と光変調器とを組み合わせたもの、あるいは半導体レーザ素子とフォトダイオードとを組み合わせたものとすることが好適である。

【0021】一方、本発明による集積型光素子の製造方法は、同一の半導体基板上に形成された第1の光素子と第2の光素子とを少なくとも備えた集積型光素子の製造方法であって、第1導電型の前記半導体基板上に、第1導電型の第1の半導体層を形成する工程と、前記第1の半導体層の上に、前記第1の半導体層よりもキャリア濃度が高い第1導電型の第2の半導体層を形成する工程と、前記第2の光素子となる部分において、前記第2の半導体層のうちの少なくとも一部をエッチング除去して前記第1の半導体層を露出させる工程と、前記第2の半導体層と前記露出された前記第1の半導体層の上に第2導電型の第3の半導体層を形成する工程と、を備えたものとして構成され、従来と比べて結晶成長工程を増やすことなく、それぞれの光素子について最適なpn接合を形成することができる。

【0022】また、本発明による集積型光素子の製造方法は、第1導電型の前記半導体基板上に、第1導電型の第1の半導体層を形成する工程と、前記第1の半導体層の上に、前記第1の半導体層よりもキャリア濃度が高い第1導電型の第2の半導体層を形成する工程と、前記第2の半導体層の上に、前記第1の光素子のためのストライプ状の第1の導波路を形成する工程と、前記第2の光

素子となる部分において、前記第2の半導体層の上に第2の導波路となる半導体層を堆積する工程と、前記第2の導波路となる半導体層と前記第2の半導体層と共に部分的にエッチング除去することにより、前記第2の導波路を形成するとともに、その周囲に前記第1の半導体層を露出させる工程と、前記第1の導波路と前記第2の導波路とをそれぞれ埋め込むように、第2導電型の第3の半導体層を形成する工程と、を備えたものとして構成され、従来と比べて結晶成長工程を増やすことなく、それぞれの光素子について最適なpn接合を形成することができる。

【0023】あるいは、本発明による集積型光素子の製造方法は、第1導電型の前記半導体基板上に、第1導電型の第1の半導体層を形成する工程と、前記第1の半導体層の上に、前記第1の半導体層よりもキャリア濃度が高い第1導電型の第2の半導体層を形成する工程と、前記第2の半導体層の上に、前記第1の光素子のためのストライプ状の第1の導波路を形成する工程と、前記第2の光素子となる部分において、前記第2の半導体層を除去して前記第1の半導体層を露出させる工程と、前記露出された前記第1の半導体層の上に前記第2の光素子のためのストライプ状の第2の導波路を形成する工程と、前記第1の導波路と前記第2の導波路とをそれぞれ埋め込むように、第2導電型の第3の半導体層を形成する工程と、を備えたものとして構成され、従来と比べて結晶成長工程を増やすことなく、それぞれの光素子について最適なpn接合を形成することができる。

【0024】ここで、本発明による集積型光素子としては、半導体レーザ素子と光変調器とを組み合わせたもの、あるいは半導体レーザ素子と受光素子とを組み合わせたものが好適であり、前記第1の半導体層のキャリア濃度は、 $5 \times 10^{17} \text{ cm}^{-3}$ 以上であり、前記第2の半導体層のキャリア濃度は、 $5 \times 10^{15} \text{ cm}^{-3}$ 以下とすることが望ましい。

【0025】

【発明の実施の形態】集積型光素子においては、例えば、レーザ部では埋込層への無効漏れ電流を少なくし、変調部では超高速動作を達成するために容量を極度に低減する必要がある。この目的のため、pn接合を形成する埋込接合部のキャリア濃度は、レーザ部では高くし、変調部では低くすることが望ましい。これを実現するために、本発明によれば、集積型光素子の埋め込み層と接合する部分に、予めキャリア濃度の高い層と低い層とを共通に形成しておく。そして、埋め込み層の形成工程に先だって、変調部において不要な層を除去する。このようにすることにより、簡易な工程で、レーザ部と変調部の構造をそれぞれ最適化することができる。

【0026】以下、図面を参照しつつ本発明の実施の形態について説明する。図1は、本発明による集積型光素子の概略構成を表す模式図である。すなわち、同図は、

変調器集積型レーザ素子10の導波路に沿った方向の断面構造を表す概略図である。

【0027】また、図2および図3は、それぞれ、図1のa-a'線、b-b'線で切断した横断面図である。

【0028】本発明においては、n型InP基板11の上に、キャリア濃度の低いn-型InP層とキャリア濃度の高いn型InP層80とが積層されている。

【0029】その構成を、概説すると以下の如くである。まず、n型InP基板11の上に、n-型InP層70が形成されている。この層70のキャリア濃度は $5 \times 10^{15} \text{ cm}^{-3}$ であり、pn接合の空乏層の伸びに余裕を持たせるために、層厚は約 $2 \mu\text{m}$ とされている。次に、n-型InP層70の上に、キャリア密度が $1 \times 10^{18} \text{ cm}^{-3}$ のn型InP層80が積層されている。この層の層厚は、例えば約0.2 $\mu\text{m}$ とすることができる。

【0030】さらに、レーザ部10Aにおいては、n型InP層80の上に、活性層12、ガイド層13、p型クラッド層17およびp型コンタクト層18が順次積層されている。ここで、活性層12は、例えば、組成の異なるInGaAsP層を周期的に積層したMQW構造とし、ガイド層13はそれよりバンドギャップの大きいInGaAsPにより構成することができる。また、ガイド層13の上部には回折格子13Aが形成され、DFBレーザとして動作するように構成されている。

【0031】一方、変調部10Bにおいては、MQW活性層12と回折格子付きガイド層13がそれぞれ除去され、その代わりに、InGaAsPからなるMQW吸収層14とi型InP層15とが順次積層されている。MQW吸収層14は、QCSE効果によってDFBレーザ部10Aからの光出力を変調できるように構成されている。なお、前述したInP層70および80は、レーザ部10Aおよび変調部10Bにおいて、それぞれn型クラッド層としての役割も有する。

【0032】図2および図3に示したように、活性層12、ガイド層13および吸収層14は、それぞれメサ・エッチングにより、ストライプ状にエッチングされて、導波路ストライプ構造を構成している。また、変調部10Bにおいては、このメサ・エッチング工程に際して、n型InP層80も同様にメサ・エッチングされてストライプ状に形成され、キャリア濃度が低いn-型InP層70の表面が露出される。

【0033】さらに、このメサ・エッチングされたストライプを覆うようにして、p型InP層17が形成され、埋め込み構造が形成されている。また、p型InP層17の上には、p型コンタクト層18が積層され、レーザ部10Aと変調部10Bとの接続部においては、これらを電気的に絶縁するためにプロトンが照射されて高抵抗化された領域19が形成されている。さらに、素子の表面は、酸化シリコンなどによる保護膜20により覆われ、その開口を介して、p側電極30が接続されてい

る。また、n型基板11の裏面には、n側電極40が形成されている。

【0034】本発明によれば、図2に示したように、レーザ部10Aの活性層12の両脇において、埋め込み層であるp型InPクラッド層17は、n型InP層18とpn接合50を形成する。ここで、n型InP層18はキャリア濃度が高いので、レーザの発振動作のために順方向に電流を流した時に、InPホモ接合50の飽和電流密度を高く維持して電流リードを抑制することができる。つまり、活性層に電流を効果的に集中することができ、レーザの出力を向上することができる。

【0035】ここで、pn接合50の順方向飽和電流密度を高く維持するためには、n型InP層80のキャリア濃度は、 $5 \times 10^{17} \text{ cm}^{-3}$ 以上であることが望ましい。

【0036】一方、図3に示したように、変調部10Bの吸収層14の両脇においては、埋め込み層であるp型InPクラッド層17は、n-型InP層70とpn接合50'を形成する。ここで変調器の動作に際しては、pn接合50'に対して逆バイアスが印加されが、n-型InP層70のキャリア濃度が低いので、pn接合の寄生容量が低い。すなわち、逆バイアスの印加により形成される空乏層は、キャリア濃度が低く且つ層厚が厚いn-型InP層70の中を伸びることができるために、pn接合50'の接合容量が低減され、変調部10Bを高速で動作させることができるようになる。ここで、pn接合50'の寄生容量を十分に低減するためには、n-型InP層70のキャリア濃度は、 $5 \times 10^{16} \text{ cm}^{-3}$ 以下であることが望ましい。

【0037】次に、本発明による集積型光素子10の製造方法について、図1～図3を参照しつつ説明する。まず、n型InP基板11の上に、n-型InP層70とn型InP層80とをエピタキシャル成長する。この結晶成長法としては、例えば、有機金属化学気相成長法(MOCVD)や、液相成長法(LPE)、化学ビーム・エピタキシャル法(CBE)などを用いることができる。また、層70のキャリア濃度は約 $5 \times 10^{15} \text{ cm}^{-3}$ で、層厚は約 $2 \mu\text{m}$ とすることができます。この層70のキャリア濃度や層厚は、pn接合に逆バイアスを印加したときに生ずる空乏層が伸びることができるように適宜決定することができる。一方、層80のキャリア密度は約 $1 \times 10^{18} \text{ cm}^{-3}$ で、層厚は約0.2 $\mu\text{m}$ とすることができます。但し、これらの層のキャリア濃度や層厚は、素子のその他の構造パラメータや結晶成長方法に応じて適宜調節することができる。また、n-型InP層70の成長に先だって、基板11の上に図示しないInPなどのバッファ層を適宜成長しても良い。

【0038】次に、活性層12、ガイド層13をエピタキシャル成長する。結晶成長法は、前述ものと同様の方法を用いることができる。さらに、ガイド層13の上に

回折格子 13 A を形成する。この形成方法としては、例えば、ガイド層 13 の上に感光性レジストを塗布し、僅かに波長が異なる 2 種類の光による干渉パターンを用いてレジストを露光、現像し、このレジスト・パターンをマスクにして、ガイド層 13 の表面部分を臭化水素 (HBr) を含むエッティング液などによりエッティングする方法を挙げることができる。

【0039】次に、変調部 10 B となるべき箇所のガイド層 13 と活性層 12 をエッティング除去する。そして、この除去部分に、MQW 吸収層 14 と i 型 InP 層 15 を結晶成長する。

【0040】さらに、活性層 12 とガイド層 13、および吸収層 14 と i 型 InP 層 15 をストライブ状にマスクして、メサ・エッティングにより、導波路ストライブを形成する。この際に、レーザ部 10 Aにおいては、n 型 InP 層 80 の表面が露出するまでエッティングを行う。また、変調部 10 Bにおいては、n<sup>-</sup> 型 InP 層 70 の表面が露出するまでエッティングを行う。このエッティング工程は、InP 層 70 と InP 層 80 との界面で厳密に停止させる必要はなく、多少、InP 層 70 をオーバー・エッティングしても良い。

【0041】次に、これらの導波路ストライブの両側約 2 μm の領域のみを露出させて、その外側に図示しない酸化シリコン・マスクを形成し、この露出部分に、p 型 InP クラッド層 17 および p 型コンタクト層 18 を順次結晶成長する。このようにして、活性層 12 や吸収層 14 の導波路ストライブを埋め込むようにして、InP クラッド層 17 をストライブ状に選択成長することができる。

【0042】次に、ウェーハの表面全体を酸化シリコンやレジスト、金 (Au) などのマスクで保護し、レーザ部 10 A と変調部 10 B との接合部分を開口して、プロトンを照射することにより、高抵抗領域 19 を形成する。この高抵抗領域 19 により、レーザ部 10 A と変調部 10 B とを電気的に絶縁することができる。

【0043】次に、ウェーハの表面全体を保護膜 20 により覆い、p 型コンタクト層 18 の上に開口を形成して、p 側電極 30 を形成する。なお、前述したプロトンの照射は、この p 側電極 30 の形成工程の後に実施しても良い。このようにすれば、p 側電極 30 をマスクとして利用することができるので、照射の際のマスクの形成工程を省略することができる。最後に、基板 11 の裏面に n 側電極 40 を形成し、素子毎に分離して、変調器集積型レーザ素子 10 が完成する。

【0044】本発明によれば、従来と比べて結晶成長工程を増やすことなく、レーザ部と変調部とに、それぞれ最適な InP 接合を設けることができる。すなわち、レーザ部と変調部において、キャリア濃度が異なる n 型 InP 層と n<sup>-</sup> 型 InP 層とをそれぞれ別々に成長しようとすると、いずれかの InP 層を成長した後に、ウェ

ーハを一端、結晶成長装置から取り出して、部分的にエッティング処理やマスクを形成して、再び結晶成長装置に導入して、選択成長を行う必要があった。しかし、本発明によれば、一度の結晶成長工程において n<sup>-</sup> 型 InP 層 70 と n 型 InP 層 80 とを連続的に積層し、変調部 10 B において n 型 InP 層 80 を除去することにより、レーザ部 10 A と変調部 10 B とにおいてそれぞれ最適の InP 接合を形成することができる。つまり、本発明によれば、簡略な工程により、高い歩留まりで高性能な変調器集積型レーザ素子を製造することができる。

なお、図 1 および図 3 に示した例においては、変調部 10 B の吸収層 14 の下に n 型 InP 層 80 をストライブ状に残した構造について説明した。しかし、本発明はこれに限定されるものではない。すなわち、変調部 10 B において、n 型 InP 層 80 をすべて除去し、露出した n<sup>-</sup> 型 InP 層 70 の上に吸収層 14 を形成するようにしても良い。このようにした場合には、レーザ部 10 A の活性層 12 やガイド層 13 との光軸を合わせるために、吸収層 14 を厚く形成する必要がある。しかし、キャリア濃度が高い n 型 InP 層 80 を除去することにより、n 型 InP 層 80 のストライブの側面と p 型 InP 層 17 との間で形成される p-n 接合に伴う寄生容量を解消することができる。

【0045】次に、本発明による第 2 の集積型光素子について説明する。図 4～図 6 は、本発明による第 2 の集積型光素子の概略構成を示す模式図である。すなわち、図 4 は、発光素子と受光素子とを集積化した集積型光素子 90 の導波路に沿った方向の断面構造を表す概略図である。また、図 5 および図 6 は、それぞれ、図 4 の

a-a' 線、b-b' 線で切断した横断面図である。

【0046】これらの図に表した集積型光素子 90 は、レーザ部 90 A と受光部 90 B とからなる。レーザ部 90 A は、埋め込み型の導波路を有する DFB レーザ素子であり、受光部 90 B は、p 型半導体層と n 型半導体層との間に i 型の光吸収層が導波路状に埋め込まれた、いわゆる埋め込み導波路型の p-i-n フォトダイオードである。

【0047】この集積型光素子 90 においても、n 型 InP 基板 11 の上に、キャリア濃度の低い n<sup>-</sup> 型 InP 層とキャリア濃度の高い n 型 InP 層 80 とが積層されている。レーザ部 90 A の構成は、図 1 および図 2 に関して前述したものと概略同様とすることができる、同一の部分には同一の符号を付して詳細な説明を省略する。

【0048】レーザ部 90 A においては、図 5 に示したように、埋め込み部分の p-n 接合 51 は、キャリア濃度が高い InP により形成されている。従って、前述したように、順方向に電流を流したレーザ駆動の際の飽和電流密度を高く維持して、活性層 12 に電流を集中することができる。

【0049】一方、受光部 90 B は、InGaAs ある

いはInGaAsPなどからなる光吸収層95を有する。この光吸収層95は、レーザ部90Aの活性層12およびガイド層13からの光を、バット・ジョイントを介して受け、吸収して電気信号に変換する。ここで、フォトダイオードである受光部90Bは、n型InP層70とp型InP層17とにより形成されるpn接合50'に逆バイアスを印加する必要がある。従って、受光部90Bの高速動作を実現するためには、このpn接合の寄生容量を低減する必要がある。ここで、pn接合50'の寄生容量を十分に低減するためには、n<sup>-</sup>型InP層70のキャリア濃度は、 $5 \times 10^{16} \text{ cm}^{-3}$ 以下であることが望ましい。また、その層厚は、pn接合の空乏層が十分に伸びるように、2μm以上とすることが望ましい。

【0050】本発明によれば、n型InP層70は、キャリア濃度が低く、その層厚を厚くすることができますので、受光部90Bの埋め込み部分のpn接合50'の空乏層が伸びて寄生容量を低減し、高速動作させることができます。

【0051】以上、具体例を参照しつつ、本発明の実施の形態について説明した。しかし、本発明は、前述した具体例に限定されない。この他にも、例えば、埋め込み型導波路を有する光増幅素子と受光素子とを集積した集積型光素子や、光変調器と光増幅器とを集積した集積型光素子などについても本発明を同様に適用して、同様の効果を得ることができる。

#### 【0052】

【発明の効果】本発明は、以上説明したような形態で実施され、以下に説明する効果を奏する。まず、本発明によれば、複数の光素子を集積した集積型光素子において、それぞれの光素子について、最適なpn接合を形成することができる。例えば、レーザと光変調器とを組み合わせた場合については、キャリア濃度が高いpn接合を形成することにより、レーザの発振動作のために順方向に電流を流した時に、InP接合の飽和電流密度を高く維持して電流リークを抑制することができる。つまり、活性層に電流を効果的に集中することができ、レーザの出力を向上することができる。一方、変調部においては、キャリア濃度の低いpn接合を形成することができ、寄生容量が低減され、変調部を高速で動作させることができるようにになる。

【0053】また、本発明によれば、レーザと光変調器との組み合わせに限らず、例えば、レーザと受光素子や、光増幅素子と受光素子、あるいは光変調器と光増幅器などを組み合わせた集積型光素子において、それぞれの光素子について最適なキャリア濃度のpn接合を形成することができ、これらの性能を極限まで向上することができるようになる。

【0054】さらに、本発明によれば、従来と比べて結晶成長工程を増やす必要がない。すなわち、光素子のそ

れぞれの部分において、一度の結晶成長工程においてキャリア濃度が異なる半導体層を連続的に積層し、それぞれの光素子部分において適宜除去することにより、それぞれ最適の接合を形成することができる。つまり、本発明によれば、簡略な工程により、高い歩留まりで高性能な集積型光素子を製造することができる。以上説明したように、本発明によれば、最適な素子構造を有する光素子を組み合わせた集積型光素子を、簡易な工程により高い歩留まりで得ることができ、産業上のメリットは多大である。

#### 【図面の簡単な説明】

【図1】本発明による集積型光素子の概略構成を表す模式図である。すなわち、同図は、変調器集積型レーザ素子100の導波路に沿った方向の断面構造を表す概略図である。

【図2】図1のa-a'線で切断した横断面図である。

【図3】図1のb-b'線で切断した横断面図である。

【図4】本発明による第2の集積型光素子の概略構成を示す模式図である。すなわち、発光素子と受光素子とを集積化した集積型光素子90の導波路に沿った方向の断面構造を表す概略図である。

【図5】図4のa-a'線で切断した横断面図である。

【図6】図4のb-b'線で切断した横断面図である。

【図7】変調器集積型レーザの導波路方向の断面構造を表す概略図である。

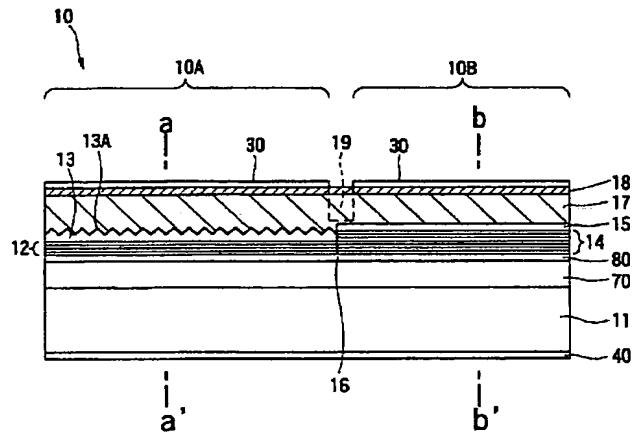
【図8】変調器集積型レーザ素子100の導波路に垂直な方向の断面構造を表す概略図である。

【図9】第2の従来例として、半絶縁性InP層を用いた埋め込み型構造を示す概略横断面図である。

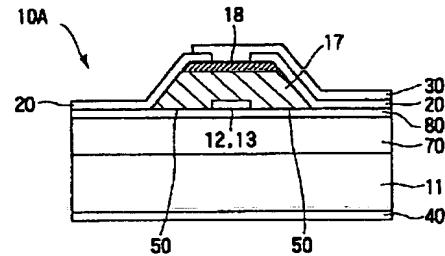
#### 【符号の説明】

10、90、100	集積型光素子
10A、90A、100A	レーザ部
10B、100B	変調部
11、101	n型InP基板
12、102	活性層
13、103	ガイド層
13A、103A	回折格子
14、104	吸収層
15、105	i型InP層
16、106	バット・ジョイント
17、107	p型クラッド層
18、108	p型コンタクト層
19、10	高抵抗層
30、130	p側電極
50、50'、51、51'	pn接合
40、140	n側電極
70	n <sup>-</sup> 型InP層
80	n型InP層
90B	受光部
95	吸収層

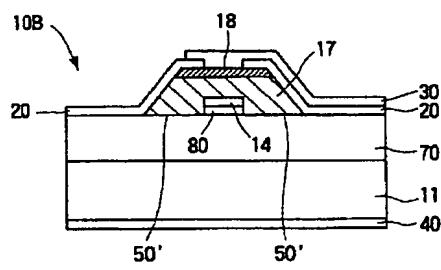
【図1】



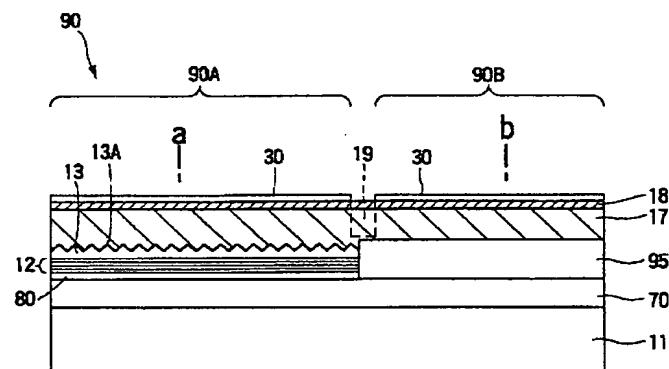
【図2】



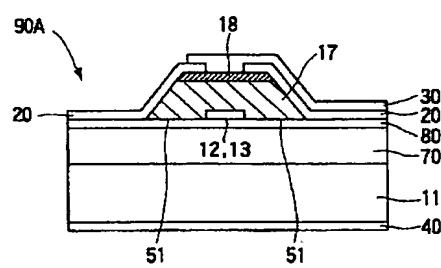
【図3】



【図4】



【図5】



【図6】

